

# 南臺科技大學 106 學年度第 2 學期課程資訊

課程代碼	20D18F03
課程中文名稱	數位系統設計實務
課程英文名稱	Digital System Design
學分數	2.0
必選修	必修
開課班級	四技電資一甲
任課教師	洪正瑞
上課教室(時間)	週四第 1 節(J501) 週四第 2 節(J501) 週四第 3 節(J501)
課程時數	3
實習時數	0
授課語言 1	華語
授課語言 2	
輔導考照 1	
輔導考照 2	
課程概述	本課程是教導學生如何以 FPGA 設計簡單的數位系統晶片，學生需要有數位邏輯基本概念，也就是要有及閘、或閘等數位邏輯概念 再修本課程將會很容易且很輕鬆學習，修本課程學生不用需帶任何工具。
先修科目或預備能力	數位邏輯、數位系統設計
課程學習目標與核心能力之對應	※編號，中文課程學習目標，英文課程學習目標，對應系指標 ----- 1.瞭解 FPGA 晶片設計及 SoPC 系統，--，1 工程知識 2.瞭解撰寫複雜工程計算之 VHDL 程式，--，1 工程知識 3.了解簡易 CPU 之設計，--，7 終身學習 4.了解以 Modelsim/ Simulink 之共同模擬技術，--，1 工程知識
中文課程大綱	第一章 數位積體電路之設計發展過程 1-1 PLD 簡介 1-2 CPLD 與 FPGA 的差異 1-3 Xilinx Spartan 2E FPGA 之基本架構 1-4 FPGA/CPLD 的設計流程 1-5 Xilinx ISE 發展系統簡介 1-6 使用 Xilinx ISE 發展系統設計 FPGA 與 CPLD 晶片操作的差異  第二章 Xilinx ISE 發展系統之安裝及簡易操作 2-1 如何下載及安裝 Xilinx ISE WebPACK 軟體

	<p>2-2 Xilinx ISE WebPACK 之操作步驟</p> <p>第三章 基本邏輯閘實驗</p> <p>3-1 OR、AND、NOT 邏輯閘之實驗</p> <p>3-2 編碼器與解多工器之實驗</p> <p>3-3 解碼器與多工器</p> <p>3-4 七段顯示器解碼器電路之設計</p> <p>第四章 階層式電路的設計</p> <p>4-1 壹位元全加器之設計</p> <p>4-2 二位元全加器之設計</p> <p>第五章 計數器的設計</p> <p>5-1 四位元非同步上數計數之設計</p> <p>5-2 不同頻率時鐘脈波產生器之設計</p> <p>5-3 具有七段顯示器之四位元非同步上數計數器之設計</p> <p>第六章 VHDL 硬體描述語言設計方法</p> <p>6-1 如何使用 VHDL 硬體描述語言的方式設計電路</p> <p>6-2 VHDL 硬體描述語言的基本架構組成</p> <p>第七章 VHDL 硬體描述語言之描述規則</p> <p>7-1 VHDL 硬體描述語言指令的命名規則</p> <p>7-2 VHDL 敘述的描述形式</p> <p>7-3 VHDL 的常用描述指令</p> <p>第八章 VHDL 設計實例介紹</p> <p>8-1 三對八解碼器的設計</p> <p>8-2 七段顯示器解碼電路之設計</p> <p>8-3 上下數計數器之設計</p> <p>8-4 BCD 上下數計數器</p> <p>8-5 以 VHDL 設計除頻電路</p>
英/日文課程大綱	<p>1. FPGA-Based Systems</p> <p>1.1 Introduction</p> <p>1.2 Basic Concepts</p> <p>1.3 Digital Design and FPGAs</p> <p>1.4 FPGA-Based System Design</p> <p>3. FPGA Fabrics</p> <p>3.1 Introduction</p> <p>3.2 FPGA Architectures</p>

	3.3 SRAM-Based FPGAs 3.4 Permanently Programmed FPGAs 3.5 Chip I/O 3.6 Circuit Design of FPGA Fabrics 4. Combinational Logic 4.1 Introduction 4.2 The Logic Design Process 4.3 Hardware Description Languages 4.4 Combinational Network Delay 4.5 Power and Energy Optimization 5. Sequential Machines 5.1 Introduction 5.2 The Sequential Machine Design Process 5.3 Sequential Design Styles 5.4 Rules for Clocking 5.5 Performance Analysis 6. Architecture 6.1 Introduction 6.2 Behavioral Design 6.3 Design Methodologies 6.4 Design Example
課程進度表	
教學方式與評量方法	※課程學習目標，教學方式，評量方式 ----- 瞭解 FPGA 晶片設計及 SoPC 系統，--，-- 瞭解撰寫複雜工程計算之 VHDL 程式，--，-- 了解簡易 CPU 之設計，--，-- 了解以 Modelsim/ Simulink 之共同模擬技術，--，--
指定用書	
參考書籍	
教學軟體	
課程規範	